

SLEW RATE CONTROLLER

Patent number: JP2001156618
Publication date: 2001-06-08
Inventor: TOMARI SHIRO
Applicant: NEC CORP
Classification:
- international: H03K19/0175
- european:
Application number: JP19990336641 19991126
Priority number(s):

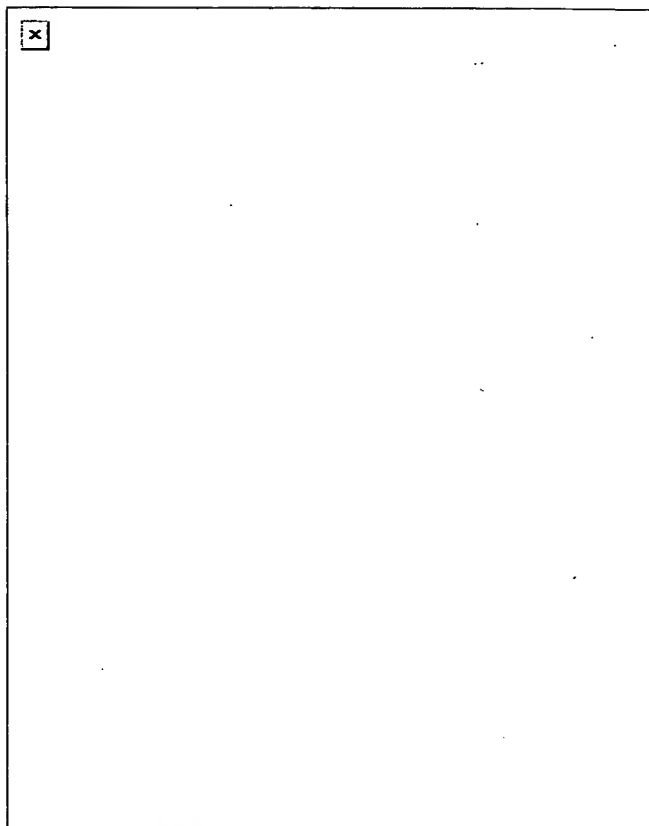
Abstract of JP2001156618

PROBLEM TO BE SOLVED: To realize a slew rate controller that is hardly susceptible to the effect of noise and stabilizes the slew rate.

SOLUTION: An AND circuit 322 ANDs a pulse signal from a pulse generating circuit 320 and a clock signal from a PLL circuit 321 and provides an output of an AND signal, and a frequency divider circuit 323 receives the AND signal and generates frequency divider circuit output signals with different frequencies.

Exclusive OR circuits 324-326 generate control signals from the frequency divider circuit output signals and a data signal.

Furthermore, an impedance control circuit 20 generates a control signal. The various control signals are used to control output buffers 1-13. The outputs from the control output buffers 1-13 are given to an output terminal 15 and to a termination resistor 16. A termination voltage 17 is applied to a termination resistor 16.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-156618
(P2001-156618A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.⁷
H 0 3 K 19/0175

識別記号

F I
H 0 3 K 19/00

テーマコード^{*} (参考)

1 0 1 F 5 J 0 5 6
1 0 1 Q

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平11-336641
(22) 出願日 平成11年11月26日 (1999. 11. 26)

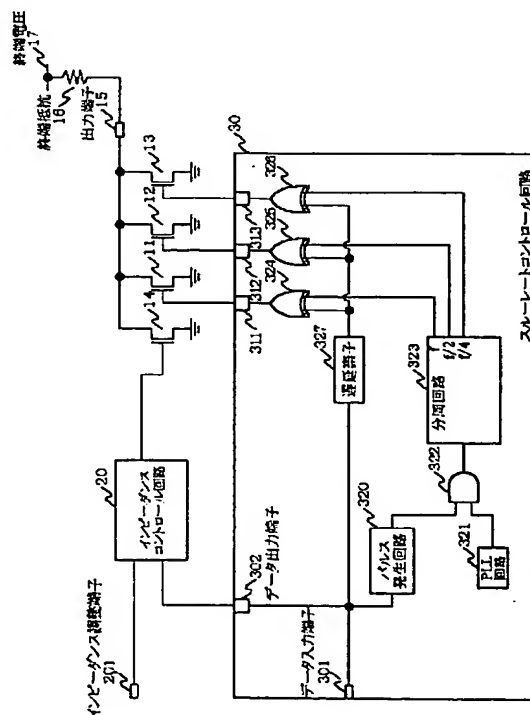
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 泊 史朗
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 100082935
弁理士 京本 直樹 (外2名)
Fターム(参考) 5J056 AA05 AA40 BB28 BB32 BB38
BB40 CC05 DD13 EE15 FF09
GG02 GG03

(54) 【発明の名称】 スルーレートコントロール装置

(57) 【要約】

【課題】 ノイズの影響を受けにくく、かつスルーレートを安定させるスルーレートコントロール装置を実現する。

【解決手段】 パルス発生回路320のパルス信号、PLL回路321のクロック信号の論理積を論理積回路322で作成した論理積信号を元に分周回路323で、周波数の異なる分周回路出力信号を作成する。排他的論理和回路324～排他的論理和回路326では、分周回路出力信号とデータ信号とから制御信号を作成する。また、インピーダンスコントロール回路20においても制御信号を作成する。各制御信号により、出力バッファ11～出力バッファ13を制御する。出力バッファ11～出力バッファ13の出力は、出力端子15に接続され、されに、終端抵抗15に接続される。終端抵抗16には、終端電圧17が加えられる。



【特許請求の範囲】

【請求項1】 クロック信号を発生するフェイズロックループ回路と、前記フェイズロックループ回路からの前記クロック信号を分周し、周波数の異なる第1の分周回路出力信号、第2の分周回路出力信号、および第3の分周回路出力信号を発生する分周回路と、データ信号と前記第1の分周回路出力信号との排他的論理和を作成し、第1の制御信号として出力する第1の排他的論理和回路と、前記データ信号と前記第2の分周回路出力信号との排他的論理和を作成し、第2の制御信号として出力する第2の排他的論理和回路と、前記データ信号と前記第3の分周回路出力信号との排他的論理和を作成し、第3の制御信号として出力する第3の排他的論理和回路と、前記データ信号の出力をそのまま、あるいは、【ロー】レベルの信号を第4の制御信号として出力するかどうかを制御するインピーダンスコントロール回路と、オープンドレイン型のトランジスタで構成され、前記第1の制御信号をゲート端子に入力し、ソース端子を接地する第1の出力バッファと、オープンドレイン型のトランジスタで構成され、前記第2の制御信号をゲート端子に入力し、ソース端子を接地する第2の出力バッファと、オープンドレイン型のトランジスタで構成され、前記第3の制御信号をゲート端子に入力し、ソース端子を接地する第3の出力バッファと、オープンドレイン型のトランジスタで構成され、前記第4の制御信号をゲート端子に入力し、ソース端子を接地するインピーダンス調整用出力バッファと、前記第1の出力バッファ、前記第2の出力バッファ、前記第3の出力バッファ、および前記インピーダンス調整用出力バッファのドレイン端子を接続する出力端子と、前記出力端子に接続される終端抵抗と、前記終端抵抗に接続される終端電圧と、を有することを特徴とするスルーレートコントロール装置。

【請求項2】 前記データ信号の立ち上がり、および立ち下がりを検出し、前記フェイズロックループ回路からの前記クロック信号を一定数有効にするための一定幅のパルス信号を発生するパルス発生回路と、前記フェイズロックループ回路からの前記クロック信号と、前記パルス発生回路からの前記パルス信号との論理積信号を作成する論理積回路と、前記論理積回路からの前記論理積信号を分周し、周波数の異なる前記第1の分周回路出力信号、前記第2の分周回路出力信号、および前記第3の分周回路出力信号を発生する前記分周回路と、を有することを特徴とする請求項1記載のスルーレートコントロール装置。

【請求項3】 前記データ信号を入力し、前記分周回路からの前記第1の分周回路出力信号、前記第2の分周回路出力信号、および第3の分周回路出力信号と同期させるために、一定時間遅延させて前記データ信号出力する遅延素子と、前記遅延素子からのデータ信号と前記第1の分周回路出力信号との排他的論理和を作成し、前記第1

の制御信号として出力する前記第1の排他的論理和回路と、前記遅延素子からの前記データ信号と前記第2の分周回路出力信号との排他的論理和を作成し、第2の制御信号として出力する前記第2の排他的論理和回路と、前記遅延素子からの前記データ信号と前記第3の分周回路出力信号との排他的論理和を作成し、第3の制御信号として出力する前記第3の排他的論理和回路と、を有することを特徴とする請求項2記載のスルーレートコントロール装置。

【請求項4】 前記第1の制御信号、前記第2の制御信号、および前記第3の制御信号と同期させて、前記第4の制御信号を出力するための遅延回路を備えた前記インピーダンスコントロール回路を有することを特徴とする請求項3記載のスルーレートコントロール装置。

【請求項5】 前記第1の出力バッファのインピーダンス値、前記第2の出力バッファのインピーダンス値、および前記第3の出力バッファのインピーダンス値が、前記第1の出力バッファのインピーダンス値、前記第2の出力バッファのインピーダンス値、および前記第3の出力バッファのインピーダンス値の合成インピーダンス値、前記第2の出力バッファのインピーダンス値、および前記第3の出力バッファのインピーダンス値の合成インピーダンス値、前記第1の出力バッファのインピーダンス値、および前記第3の出力バッファのインピーダンス値の合成インピーダンス値、前記第3の出力バッファのインピーダンス値、前記第1の出力バッファのインピーダンス値、および前記第2の出力バッファのインピーダンス値の合成インピーダンス値、前記第2の出力バッファのインピーダンス値、前記第1の出力バッファのインピーダンス値の順に大であるような値を有することを特徴とする請求項4記載のスルーレートコントロール装置。

【請求項6】 前記パルス発生回路、前記フェイズロックループ回路、前記論理積回路、前記分周回路、前記第1の排他的論理和回路、前記第2の排他的論理和回路、および前記第3の排他的論理和回路を1チップで構成することを特徴とする請求項3、または請求項4、または請求項5記載のスルーレートコントロール装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はスルーレートコントロール装置に関し、特に、インピーダンス値の異なる複数の出力バッファを並列に内蔵し、信号の遷移中に、出力バッファのオン・オフを交互に繰り返すことによって、信号の立ち上がり・立ち下がり時間を制御するスルーレートコントロール装置に関する。

【0002】

【従来の技術】 バスの高速化に伴い、バスで発生する波形ひずみを低減させる事が、重要な課題になっている。バスの高速化のためには、出力バッファはそのバスに最

適なインピーダンスを持つものを用いることが望ましい。過度に低いインピーダンスの出力バッファを使用した場合、バスで発生する反射ノイズが大きくなり、逆に高いインピーダンスを選択した場合、電流を引き込む能力が低い場合バス電位がスイッチングする時間が遅くなるためである。

【0003】ところが、LSIの製造ばらつきや、温度、電源電圧変化によって、出力インピーダンスは必ずしも設計で狙った値にはならない。

【0004】このため、LSI内部に複数のインピーダンス（LSI内部ではトランジスタの物理的な大きさを覚えてインピーダンスを変化させるため、「トランジスタサイズ」または単に「サイズ」と呼ばれる事もある）を持った出力バッファを並列に接続し、そのいくつか（または全部）を有効にすることで、目的のインピーダンスを得る「インピーダンスコントロール」と呼ばれる技術がある。

【0005】また、「スルーレートコントロール」と呼ばれる技術によって、バスの接続点で発生するインピーダンス不整合を原因とした反射ノイズを低減させることも非常に有効である。

【0006】一般的にスルーレートコントロールは、出力バッファの最終段の入力信号を鈍らせることで実現しているが、なまった波形にノイズが乗った場合、スレッシュホールド電圧を越えるタイミングが変化するため、出力のスルーレートを一定に保つことが難しい。

【0007】また、GTLなどのオープンドレインタイプのバス形式で、スルーレートコントロールを実施した場合は、同じ出力バッファ最終段の入力信号を与えても、出力バッファのインピーダンスに依存して、スルーレートが大きく変化してしまうという問題がある。

【0008】オープンドレインタイプのバスでは、バス信号を立ち下げる時は、出力トランジスタがオンし、出力インピーダンスが無制限から有る値に変化し、バスから電流を引き込むことでスイッチングするが、出力インピーダンスが低い場合、電流を引き込む能力も高いため、同じ波形なまりを持った入力信号を与えた場合でも、立ち下がりスルーレートは早くなる。

【0009】逆にバス信号の立ち上がり時には、出力インピーダンスが低い場合には、電流を引き込む能力が高いために立ち上がりスルーレートが遅くなってしまう。

【0010】たとえば、「特開平11-17516号公報」記載の技術は、出力バッファの接続を工夫することにより、スルーレートを制御する技術である。

【0011】

【発明が解決しようとする課題】上述した「特開平11-17516号公報」記載の技術は、スルーレートを下げているために、ノイズの影響を受けやすいという欠点がある。

【0012】本発明の目的は、PLL回路、および分周

回路を用い、インピーダンス値の異なる出力バッファを並列に接続し、スルーレートを向上させて、ノイズの影響を受けにくいスルーレートコントロール装置を実現することである。

【0013】

【課題を解決するための手段】本発明の第1のスルーレートコントロール装置は、クロック信号を発生するフェイズロックループ回路と、前記フェイズロックループ回路からの前記クロック信号を分周し、周波数の異なる第1の分周回路出力信号、第2の分周回路出力信号、および第3の分周回路出力信号を発生する分周回路と、データ信号と前記第1の分周回路出力信号との排他的論理和を作成し、第1の制御信号として出力する第1の排他的論理和回路と、前記データ信号と前記第2の分周回路出力信号との排他的論理和を作成し、第2の制御信号として出力する第2の排他的論理和回路と、前記データ信号と前記第3の分周回路出力信号との排他的論理和を作成し、第3の制御信号として出力する第3の排他的論理和回路と、前記データ信号の出力をそのまま、あるいは、

「ロー」レベルの信号を第4の制御信号として出力するかどうかを制御するインピーダンスコントロール回路

と、オープンドレイン型のトランジスタで構成され、前記第1の制御信号をゲート端子に入力し、ソース端子を接地する第1の出力バッファと、オープンドレイン型のトランジスタで構成され、前記第2の制御信号をゲート端子に入力し、ソース端子を接地する第2の出力バッファと、オープンドレイン型のトランジスタで構成され、前記第3の制御信号をゲート端子に入力し、ソース端子を接地する第3の出力バッファと、オープンドレイン型のトランジスタで構成され、前記第4の制御信号をゲート端子に入力し、ソース端子を接地するインピーダンス調整用出力バッファと、前記第1の出力バッファ、前記第2の出力バッファ、前記第3の出力バッファ、および前記インピーダンス調整用出力バッファのドレイン端子を接続する出力端子と、前記出力端子に接続される終端抵抗と、前記終端抵抗に接続される終端電圧と、を有する。

【0014】本発明の第2のスルーレートコントロール装置は、前記第1のスルーレートコントロール装置であって、前記データ信号の立ち上がり、および立ち下がりを検出し、前記フェイズロックループ回路からの前記クロック信号を一定数有効にするための一定幅のパルス信号を発生するパルス発生回路と、前記フェイズロックループ回路からの前記クロック信号と、前記パルス発生回路からの前記パルス信号との論理積信号を作成する論理積回路と、前記論理積回路からの前記論理積信号を分周し、周波数の異なる前記第1の分周回路出力信号、前記第2の分周回路出力信号、および前記第3の分周回路出力信号を発生する前記分周回路と、を有する。

【0015】本発明の第3のスルーレートコントロール

【0025】また、出力バッファ11～出力バッファ13、インピーダンス調整用出力バッファ14のドレイン端子の出力は、それぞれ、インピーダンスコントロール回路20の出力、制御信号出力端子311の出力、制御信号出力端子312の出力、制御信号出力端子313の

出力が「ロー」の時、終端電圧17の終端抵抗16を介したレベル、すなわち「ハイ」となる。

【0026】したがって、出力端子15における電圧レベルは、出力バッファ11～出力バッファ13、インピーダンス調整用出力バッファ14のゲート端子の入力の全ての状態によって決定される。

【0027】パルス発生回路320は、データ入力端子301からのデータ信号の立ち上がり、または立ち下がりを検出し、一定時間「ハイ」のパルスを出力する。パルスの幅は、PLL回路321の分周回路出力の4周期分に設定する。

【0028】PLL回路321は、自立的に、「ハイ」と「ロー」を繰り返す分周回路出力信号を出し続ける。

【0029】論理積回路322は、パルス発生回路320の出力とPLL回路321の出力との論理積信号を作成、出力する。

【0030】分周回路323は、論理積回路322からの論理積信号を入力し、そのままの分周回路出力信号(f)、「ハイ・ロー」の周波数が1/2の分周回路出力信号(f/2)、および、「ハイ・ロー」の周波数が1/4の分周回路出力信号(f/4)を出力する。

【0031】排他的論理和回路324と、排他的論理和回路325と、排他的論理和回路326は、データ入力端子301からのデータ信号と、それぞれ、分周回路出力信号(f)、周波数が1/2の分周回路出力信号(f/2)、周波数が1/4の分周回路出力信号(f/4)との排他的論理和信号を制御信号として作成、出力する。

【0032】遅延素子327は、データ入力端子301からのデータ信号を分周回路323の出力と同期させるために設けられる。

【0033】インピーダンスコントロール回路20は、たとえば、インピーダンス調整端子201からの調整信号とデータ出力端子302からのデータ信号の論理積信号を生成する論理積回路を含み、インピーダンス調整端子201からの調整信号が「ハイ」の場合に、データ信号をそのまま出力し、インピーダンス調整端子201からの調整信号が「ロー」の場合には、「ロー」を出力する。また、遅延素子を含み、データ信号からの排他的論理和回路324と、排他的論理和回路325と、排他的論理和回路326の出力と同期して制御信号を出力するように構成される。

【0034】次に、本発明の実施の形態の動作について図面を参照して説明する。まず、立ち上がりの動作について説明する、図2、図3は、本発明の実施の形態の立ち上がりの動作を示すタイムチャートである。図2、図3を参照すると、PLL回路321は、一定の周期で、「ハイ・ロー」を繰り返すクロック信号を出力する(図2、図3T11、T16、T21、T26、T31、T36、T41、T46、T51)。

【0035】データ入力端子301のデータ信号が、「ロー」になる(図2T0)と、パルス発生回路320の出力のパルスが一定時間出力される(図2T10～図3T47)。次に、論理積回路322が、パルス発生回路320の出力のパルスとPLL回路321の出力のクロック信号との論理積信号を作成、出力する。論理積信号の波形は、クロック信号と同型であり、「ハイ・ロー」を繰り返す(図2、図3T12、T17、T22、T27、T32、T37、T42、T47)。

【0036】次に、分周回路323は、論理積回路322の出力から分周回路出力信号(f)、周波数が1/2の分周回路出力信号(f/2)、周波数が1/4の分周回路出力信号(f/4)を作成、出力する。

【0037】遅延素子327の出力は、データ信号を入力し、遅延させて出力する(図2T13で「ロー」になる)。

【0038】分周回路出力信号(f)、分周回路出力信号(f/2)、分周回路出力信号(f/4)が「ロー」の時点(図2T13)までは、遅延素子327の出力が、「ハイ」であり、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、「ハイ」である(図2T14まで)。また、分周回路出力信号(f)、分周回路出力信号(f/2)、分周回路出力信号(f/4)が「ハイ」になると(図2T13)、遅延素子327の出力が、「ロー」であり、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、やはり「ハイ」である(図2T14)。

【0039】また、インピーダンスコントロール回路20は、インピーダンス調整端子201からの調整信号が「ロー」であり、出力の制御信号は、「ロー」のままである(図2の実線で示す)。

【0040】したがって、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ハイ」、「ハイ」であり(図2T14～T19)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L1 = (R1 * R2 * R3) / (R1 * R2 + R2 * R3 + R3 * R1)$ により決定される(図2T15～T20)。

【0041】次に、分周回路出力信号(f)が「ロー」になると(図2T18)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ロー」、「ハイ」、「ハイ」であり(図2T19～T24)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L2 = (R2 * R3) / (R2 + R3)$ により決定される(図2T20～T25)。

【0042】次に、分周回路出力信号(f)が「ハイ」、分周回路出力信号(f/2)が「ロー」になると(図2T23)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ロー」、「ハイ」であり(図2T24~T29)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L3 = (R3 * R1) / (R3 + R1)$ により決定される(図2T25~T30)。

【0043】次に、分周回路出力信号(f)が「ロー」になると(図2T28)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ロー」、「ロー」、「ハイ」であり(図2T29~図3T34)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L4 = R3$ により決定される(図2T30~図3T35)。

【0044】次に、分周回路出力信号(f)が「ハイ」、分周回路出力信号(f/2)が「ハイ」、分周回路出力信号(f/4)が「ロー」になると(図3T33)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ハイ」、「ロー」であり(図3T34~T39)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L5 = (R1 * R2) / (R1 + R2)$ により決定される(図3T35~T40)。

【0045】次に、分周回路出力信号(f)が「ロー」になると(図3T38)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ロー」、「ハイ」、「ロー」であり(図3T39~T44)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L6 = R2$ により決定される(図3T40~T45)。

【0046】次に、分周回路出力信号(f)が「ハイ」、分周回路出力信号(f/2)が「ロー」になると(図3T43)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ロー」、「ロー」であり(図3T44~T49)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L7 = R1$ により決定される(図3T45~T50)。

【0047】次に、分周回路出力信号(f)が「ロー」になると(図3T48)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326

からの制御信号は、それぞれ、「ロー」、「ロー」、「ロー」であり(図3T49~)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L8 = \infty$ 大により決定される(図3T50~)。

【0048】 $L1 < L2 < L3 < L4 < L5 < L6 < L7$ となるように、インピーダンス値 $R1$ 、 $R2$ 、 $R3$ が設定され、出力端子15の波形は図2、図3に示ようになる(図2、図3の実線で示す)。

【0049】次に、立ち下りの動作について説明する、図4、図5は、本発明の実施の形態の立ち下りの動作を示すタイムチャートである。図4、図5を参照すると、PLL回路321は、一定の周期で、「ハイ・ロー」を繰り返しクロック信号を出力する(図4、図5T11、T16、T21、T26、T31、T36、T41、T46、T51)。

【0050】データ入力端子301のデータ信号が、「ハイ」になる(図4T0)と、パルス発生回路320の出力のパルスが一定時間出力される(図4T10~図5T47)。次に、論理積回路322が、パルス発生回路320の出力のパルスとPLL回路321の出力のクロック信号との論理積信号を作成、出力する。論理積信号の波形は、クロック信号と同型であり、「ハイ・ロー」を繰り返す(図4、図5T12、T17、T22、T27、T32、T37、T42、T47)。

【0051】次に、分周回路323は、論理積回路322の出力から分周回路出力信号(f)、周波数が1/2の分周回路出力信号(f/2)、周波数が1/4の分周回路出力信号(f/4)を作成、出力する。

【0052】遅延素子327の出力は、データ信号を入力し、遅延させて出力する(図4T13で「ハイ」になる)。

【0053】分周回路出力信号(f)、分周回路出力信号(f/2)、分周回路出力信号(f/4)が「ロー」の時点(図4T13)までは、遅延素子327の出力が、「ロー」であり、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、「ロー」である(図4T14まで)。また、分周回路出力信号(f)、分周回路出力信号(f/2)、分周回路出力信号(f/4)が「ハイ」になると(図4T13)、遅延素子327の出力が、「ハイ」であり、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、やはり「ロー」である(図4T14)。

【0054】また、インピーダンスコントロール回路20は、インピーダンス調整端子201からの調整信号が「ロー」であり、出力の制御信号は、「ロー」のままである(図4の実線で示す)。

【0055】したがって、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326

からの制御信号は、それぞれ、「ロー」、「ロー」、「ロー」であり(図4T14~T19)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L8 = \infty$ により決定される(図4T15~T20)。

【0056】次に、分周回路出力信号(f)が「ロー」になると(図4T18)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ロー」、「ロー」であり(図4T19~T24)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L7 = R1$ により決定される(図4T20~T25)。

【0057】次に、分周回路出力信号(f)が「ハイ」、分周回路出力信号(f/2)が「ロー」になると(図4T23)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ロー」、「ハイ」、「ロー」であり(図4T24~T29)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L6 = R2$ により決定される(図4T25~T30)。

【0058】次に、分周回路出力信号(f)が「ロー」になると(図4T28)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ハイ」、「ロー」であり(図4T29~T34)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L5 = (R1 * R2) / (R1 + R2)$ により決定される(図4T30~図5T35)。

【0059】次に、分周回路出力信号(f)が「ハイ」、分周回路出力信号(f/2)が「ハイ」、分周回路出力信号(f/4)が「ロー」になると(図5T33)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ロー」、「ロー」、「ハイ」であり(図5T34~T39)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L4 = R3$ により決定される(図5T35~T40)。

【0060】次に、分周回路出力信号(f)が「ロー」になると(図5T38)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ロー」、「ハイ」であり(図5T39~T44)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L3 = (R3 * R1) / (R3 + R1)$ により決定される(図5T40~T45)。

【0061】次に、分周回路出力信号(f)が「ハイ」、分周回路出力信号(f/2)が「ロー」になると(図5T43)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ロー」、「ハイ」、「ハイ」であり(図5T44~T49)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L2 = (R2 * R3) / (R2 + R3)$ により決定される(図5T45~T50)。

【0062】次に、分周回路出力信号(f)が「ロー」になると(図5T48)、排他的論理和回路324、排他的論理和回路325、および排他的論理和回路326からの制御信号は、それぞれ、「ハイ」、「ハイ」、「ハイ」であり(図5T49~)、出力端子15の電圧レベルは、出力バッファ11、出力バッファ12、出力バッファ13の並列合成インピーダンスは、 $L1 = (R1 * R2 * R3) / (R1 * R2 + R2 * R3 + R3 * R1)$ により決定される(図5T50~)。

【0063】 $L1 < L2 < L3 < L4 < L5 < L6 < L7$ となるように、インピーダンス値 $R1$ 、 $R2$ 、 $R3$ が設定され、出力端子15の波形は図4、図5に示すようになる(図4、図5の実線で示す)。

【0064】次に、インピーダンスコントロール回路20にインピーダンス調整端子201からの調整信号が「ハイ」で入力された場合について説明する。この場合、波形は図2~図5の点線で示されたようになる。

【0065】図2において、インピーダンスコントロール回路20の出力は、データ出力端子302からのデータ信号に対応して、図2T19までは、「ハイ」であり、出力端子15の波形を決める合成インピーダンス値は、 $L0 = (R1 * R2 * R3 * R4) / (R2 * R3 * R4 + R3 * R4 * R1 + R4 * R1 * R2 + R1 * R2 * R3)$ である。

【0066】図4において、インピーダンスコントロール回路20の出力は、データ出力端子302からのデータ信号に対応して、図2T19から、「ハイ」であり、出力端子15の波形を決める合成インピーダンス値は、 $L1 \sim L7$ は、 $R4$ の影響を受けた値となる。したがって、点線のようになる。

【0067】実線の場合には、出力端子15の波形の振幅が小さく、消費電力が小さいが、ノイズの影響を受けやすい。また、点線の場合には、出力端子15波形の振幅が大きく、ノイズの影響を受けにくい、消費電力が大きい。

【0068】インピーダンス調整端子201の調整信号を適宜選択することにより、システムに適した使用ができる。

【0069】次に、実施例について説明する。たとえば、 $R1 = 70$ [オーム]、 $R2 = 35$ [オーム]、 R

3=17.5 [オーム]、R4=7.17 [オーム]、
 終端抵抗16のインピーダンスRT=20 [オーム]、
 終端電圧17の電位VTT=1.5 [ボルト] とする
 と、L0=7.27 [オーム]、L1=10 [オー
 ム]、L2=11.67 [オーム]、L3=14 [オー
 ム]、L4=17.5 [オーム]、L5=23.33
 [オーム]、L6=35 [オーム]、L7=70 [オー
 ム] となる。

【0070】したがって、出力端子15の電位は、 $V_T \cdot (合成インピーダンス) / (R_T + (合成インピーダンス))$ で計算され、それぞれ、 $V_0 = V_{TT} \cdot L_0 / (R_T + L_0) = 1.5 \cdot 7.27 / (20 + 7.27) = 0.4$ [ボルト]、 $V_1 = V_{TT} \cdot L_1 / (R_T + L_1) = 1.5 \cdot 10 / (20 + 10) = 0.5$ [ボルト]、 $V_2 = V_{TT} \cdot L_2 / (R_T + L_2) = 1.5 \cdot 11.67 / (20 + 11.67) = 0.55$ [ボルト]、 $V_3 = V_{TT} \cdot L_3 / (R_T + L_3) = 1.5 \cdot 14 / (20 + 14) = 0.62$ [ボルト]、 $V_4 = V_{TT} \cdot L_4 / (R_T + L_4) = 1.5 \cdot 17.5 / (20 + 17.5) = 0.7$ [ボルト]、 $V_5 = V_{TT} \cdot L_5 / (R_T + L_5) = 1.5 \cdot 23.33 / (20 + 23.33) = 0.81$ [ボルト]、 $V_6 = V_{TT} \cdot L_6 / (R_T + L_6) = 1.5 \cdot 35 / (20 + 35) = 0.95$ [ボルト]、 $V_7 = V_{TT} \cdot L_7 / (R_T + L_7) = 1.5 \cdot 70 / (20 + 70) = 1.17$ [ボルト] となる。

【0071】また、L8=無限大の場合には、出力端子15の電位は、終端電圧17と同一であり、1.5 [ボルト] である。

【0072】以上は、出力バッファ11～出力バッファ13のように、3つの場合について説明したが、1つ以上のいくつでもよい。また、インピーダンスコントロール回路20、インピーダンス調整用出力バッファ14がそれぞれ1つの場合について説明したが、1つ以上のいくつでもよい。

【0073】また、たとえば、スルーレートコントロール回路30を、1チップで構成すれば、多くの箇所で使用することができ、面積の縮小、信頼性の向上が図れる。

【0074】

【発明の効果】本発明の第1の効果は、ノイズの影響を受けにくいことである。

【0075】その理由は、PLL回路、分周回路を使用

し、最終段の出力バッファの各入力信号のスルーレートを速くしているからである。

【0076】本発明の第2の効果は、スルーレートが安定することである。

【0077】その理由は、立ち上がり途中のある時点でのインピーダンスは、オン状態になっているトランジスタ数が決まっているため出力バッファの合成インピーダンスが固定となるからである。

【図面の簡単な説明】

【図1】本発明の実施の形態を示すブロック図である。

【図2】本発明の実施の形態の動作を示すタイムチャートである。

【図3】本発明の実施の形態の動作を示すタイムチャートである。

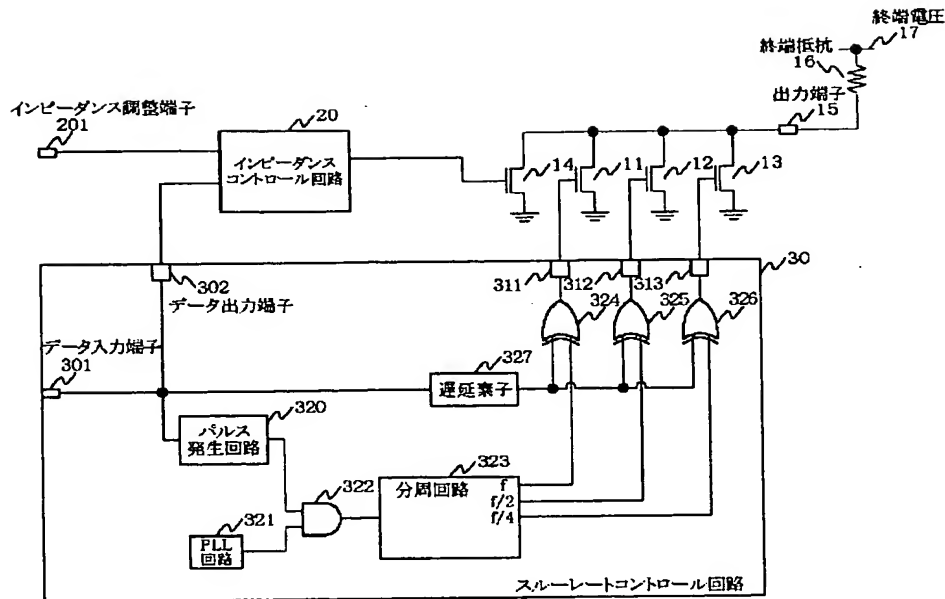
【図4】本発明の実施の形態の動作を示すタイムチャートである。

【図5】本発明の実施の形態の動作を示すタイムチャートである。

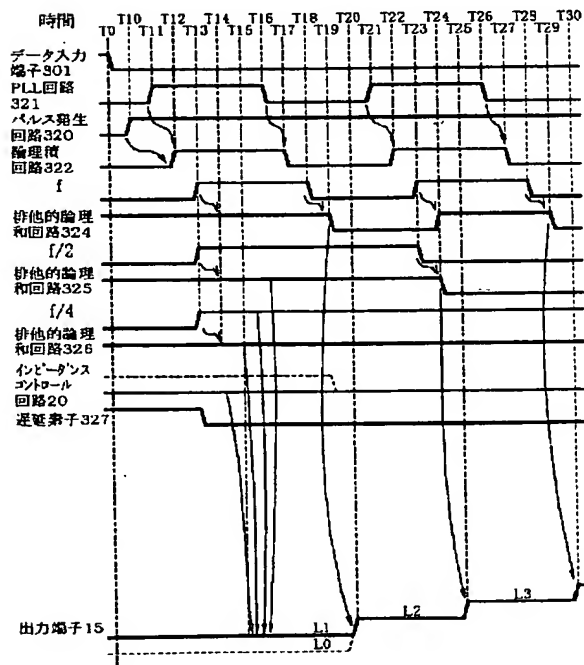
【符号の説明】

- 11 出力バッファ
- 12 出力バッファ
- 13 出力バッファ
- 14 インピーダンス調整用出力バッファ
- 15 出力端子
- 16 終端抵抗
- 17 終端電圧
- 20 インピーダンスコントロール回路
- 30 スルーレートコントロール回路
- 201 インピーダンス調整端子
- 301 データ入力端子
- 302 データ出力端子
- 311 制御信号出力端子
- 312 制御信号出力端子
- 313 制御信号出力端子
- 320 パルス発生回路
- 321 PLL回路
- 322 論理積回路
- 323 分周回路
- 324 排他的論理和回路
- 325 排他的論理和回路
- 326 排他的論理和回路
- 327 遅延素子

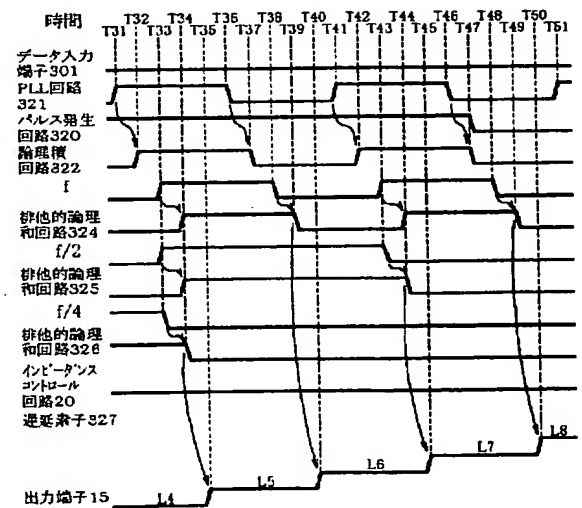
【図1】



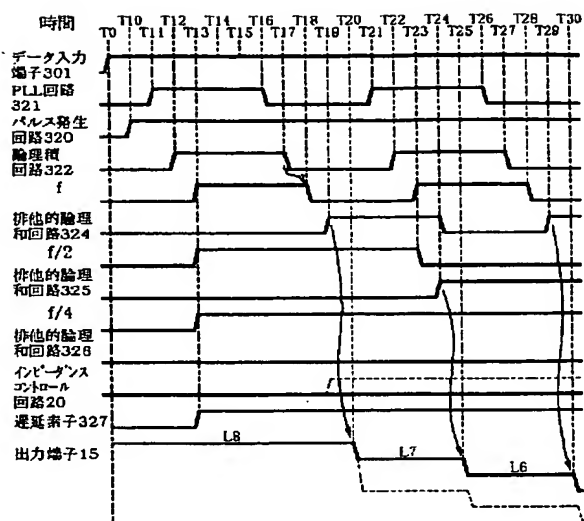
【図2】



【図3】



【図4】



【図5】

